

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-261301

(43) Date of publication of application : 24.09.1999

(51)Int.Cl.

H01P 1/00

H01P 3/08

H03F 3/60

(21)Application number : 10-073489

(71)Applicant : NEC CORP

(22)Date of filing : 06.03.1998

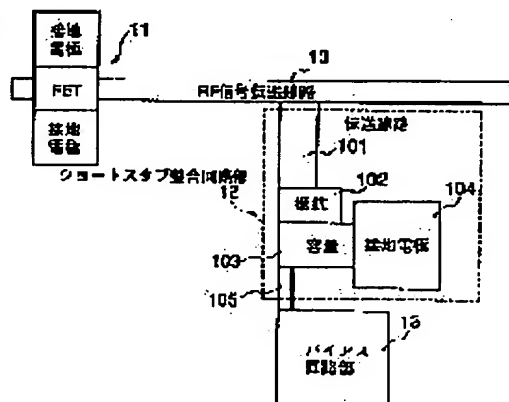
(72)Inventor : SHIDA NAOKI

(54) SHORT STUB MATCHING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the short stub matching circuit which is easily corrected, free of parasitic oscillation, and stable.

SOLUTION: It is made possible to easily set ≥ 1 values of a stable coefficient K by inserting at least one resistance element 102 having distribution constant effect into the transmission path between a signal transmission line 10 and a ground conductor 13, and the resistance element having the distribution constant effect can be formed in the ending of the manufacture process. Consequently, the degree of freedom in the trimming becomes large to facilitate correction.



LEGAL STATUS

[Date of request for examination] 06.03.1998

[Date of sending the examiner's decision of rejection] 23.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3206543

[Date of registration] 06.07.2001

[Number of appeal against examiner's decision of rejection] 2001-02654

[Date of requesting appeal against examiner's decision of rejection] 22.02.2001

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261301

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁹ 識別記号

H 0 1 P 1/00

3/08

H 0 3 F 3/60

F I

H 0 1 P 1/00

Z

3/08

H 0 3 F 3/60

審査請求 有 請求項の数11 F D (全 9 頁)

(21) 出願番号 特願平10-73489

(22) 出願日 平成10年(1998) 3月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 志田 尚基

東京都港区芝五丁目7番1号 日本電気株式会社内

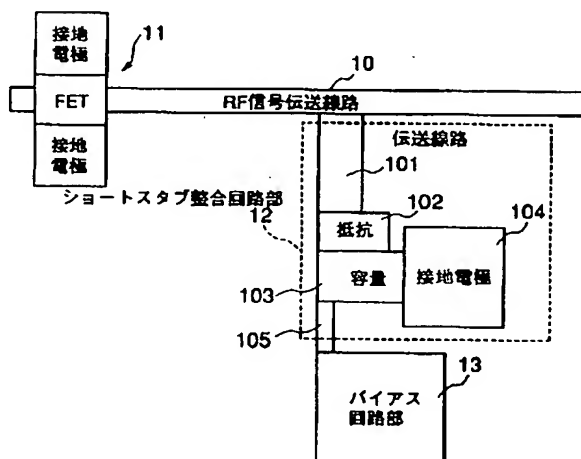
(74) 代理人 弁理士 桂木 雄二

(54) 【発明の名称】 ショートスタブ整合回路

(57) 【要約】

【課題】 修正が容易で且つ寄生発振のない安定したショートスタブ整合回路を提供する。

【解決手段】 信号伝送線路10と接地導体13との間の伝送経路に少なくとも1個の分布定数効果を有する抵抗素子102が挿入されている。このような抵抗素子を挿入することで安定係数Kの値を容易に1以上にすることができ、且つ分布定数効果を有する抵抗素子は製造工程の最後の方で形成することができるために、トリミングを行う際の自由度が大きくなり、修正が容易になる。



【特許請求の範囲】

【請求項 1】 信号伝送線路に接続されたショートスタブ整合回路において、前記信号伝送線路と接地導体との間の伝送経路に少なくとも 1 個の分布定数効果を有する抵抗素子が挿入されていることを特徴とするショートスタブ整合回路。

【請求項 2】 前記抵抗素子より前記接地導体側の伝送経路に容量素子が直列接続されていることを特徴とする請求項 1 記載のショートスタブ整合回路。

【請求項 3】 前記信号伝送線路は増幅器の制御電極に接続され、前記容量素子を介して前記増幅器の制御電極にバイアス電圧を供給するためのバイアス供給線が接続されていることを特徴とする請求項 2 記載のショートスタブ整合回路。

【請求項 4】 前記伝送経路は、前記信号伝送線路に接続された伝送線路と、前記伝送線路に接続された前記抵抗素子と、前記抵抗素子を前記接地導体に接続する容量素子と、からなることを特徴とする請求項 1 記載のショートスタブ整合回路。

【請求項 5】 前記伝送経路は、前記信号伝送線路に接続された前記抵抗素子と、前記抵抗素子に接続され、前記信号伝送線路を伝わる信号の $1/4$ 波長に相当する長さを有する伝送線路と、前記伝送線路を前記接地導体に接続する容量素子と、からなることを特徴とする請求項 1 記載のショートスタブ整合回路。

【請求項 6】 前記伝送経路は、前記信号伝送線路に接続され、分布定数効果を有する第 1 抵抗素子と、前記第 1 抵抗素子に接続され、前記信号伝送線路を伝わる信号の $1/4$ 波長に相当する長さを有する伝送線路と、前記伝送線路に接続され、分布定数効果を有する第 2 抵抗素子と、前記第 2 抵抗素子を前記接地導体に接続する容量素子と、からなることを特徴とする請求項 1 記載のショートスタブ整合回路。

【請求項 7】 前記伝送経路は、前記信号伝送線路に接続され、前記信号伝送線路を伝わる信号の $1/4$ 波長に相当する長さを有し、且つ分布定数効果を有する線路状抵抗素子と、前記線路状抵抗素子を前記接地導体に接続する容量素子と、からなることを特徴とする請求項 1 記載のショートスタブ整合回路。

【請求項 8】 前記信号伝送線路は増幅器の制御電極に接続され、前記容量素子を介して前記増幅器の制御電極にバイアス電圧を供給するためのバイアス供給線が接続

されていることを特徴とする請求項 4 ないし 7 のいずれかに記載のショートスタブ整合回路。

【請求項 9】 前記伝送経路は、前記信号伝送線路に接続された伝送線路と、前記伝送線路を前記接地導体に接続する前記抵抗素子と、からなることを特徴とする請求項 1 記載のショートスタブ整合回路。

【請求項 10】 前記抵抗素子は、前記信号伝送線路を伝わる信号の波長の $1/16$ 以上の長さを有することを特徴とする請求項 1 ないし 5 及び請求項 7 ないし 9 のいずれかに記載のショートスタブ整合回路。

【請求項 11】 前記抵抗素子は、前記信号伝送線路を形成する配線工程に続いて形成されることを特徴とする請求項 1 ないし請求項 10 のいずれかに記載のショートスタブ整合回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高周波整合回路に係り、特にミリ波・マイクロ波帯において用いられるモノリシック集積回路のショートスタブ整合回路に関する。

【従来の技術】一般に、ミリ波・マイクロ波増幅器を設計・試作すると、しばしば寄生発振に悩まされる。これは増幅素子として用いる高周波トランジスタ、例えばヘテロ接合 FET が直流からマイクロ波・ミリ波帯に至る広い周波数範囲で 0 dB 以上の電力利得を有するため、ある周波数帯で回路が発振条件を満たしてしまうからである。

【0002】トランジスタの安定条件は、トランジスタの出力端子に可変負荷インピーダンス Z_L を接続した場合、この可変負荷インピーダンス Z_L がスミスチャート内のいかなる位置にあっても、入力側の反射係数 Γ_{in} の絶対値が 1 より小さいことである。言い換えれば、入力反射係数 Γ_{in} 及び出力反射係数 Γ_{out} のそれぞれの絶対値が共に 1 より小さい場合には発振は起こらない。

【0003】通常、発振するかどうかの判定のために安定係数 K という指標を用いる。安定係数 K はその値が 1 より大きいか小さいかにより安定性の判別を行える指標であり、回路の S パラメータを用いて次のように表される。

$$K = (1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2) / 2 \cdot |S_{12} \cdot S_{21}|$$

$$\Delta = S_{11} \cdot S_{22} - S_{12} \cdot S_{21}$$

絶対安定の条件は $K > 1$ であり、 $K > 1$ であれば、外部に帰還回路を付加しない限り、すべての受動負荷インピーダンス Z_L に対して発振は起こらない。

【0004】特開平 7-240369 号公報には、増幅回路における低周波の安定性を考慮した整合回路が開示されている。この整合回路は、FET のゲート電極に接

続された RF 信号伝送線路に接続され、バイアス回路と安定化回路とを兼ねている。

【0005】詳しくは、整合回路は RF 信号伝送線路に接続された $1/4$ 波長伝送線路を有し、 $1/4$ 波長伝送線路がバイアス回路に接続されると共に、第 1 MIM (metal-insulator-metal) 容量を介して接地され、更に直列接続された第 2 MIM 容量及び抵抗を介して接地されている。即ち、第 1 MIM 容量と第 2 MIM 容量及び抵抗とは並列回路を構成している。

【0006】第 1 MIM 容量は使用周波数でショート状態に近くなり使用外の低周波数でオープン状態に近くなる容量値に設定され、第 2 MIM 容量は第 1 MIM 容量よりも大きく、使用外の低周波数でショート状態に近くなる容量値に設定されている。従って、整合回路は、使用周波数では $1/4$ 波長伝送線路が第 1 MIM 容量を通して接地されたバイアス回路となり、使用外の低周波数では $1/4$ 波長伝送線路が直列接続された第 2 MIM 容量及び抵抗を介して接地された発振防止用の安定化回路となる。

【0007】また、特開平 1-233812 号公報には、整合を行うショートスタブのショート面とは反対側に発振防止用抵抗を挿入した整合回路が開示されている。この整合回路は、モノリシック形集積回路において発振防止回路の素子数を低減しチップ面積を小さくすることを目的としており、そのために RF 信号伝送線路に直に発振防止用抵抗を形成している。

【0008】

【発明が解決しようとする課題】しかしながら、特開平 7-240369 号公報に開示された整合回路では、図 14 に示すように、10 GHz 付近の低周波において安定係数 K が $K < 1$ となる領域 1 が存在し、このために完全な安定条件を満たしていない。

【0009】また、特開平 1-233812 号公報に開示された整合回路では、発振防止用抵抗が RF 信号伝送線路に直に半導体抵抗として形成されているために、マイクロ波モノリシック集積回路 (MMIC) の製造工程におけるトリミングの自由度が極端に制限されるという問題を有している。

【0010】本発明の目的は、安定係数 K の値を 1 以上にあげて、安定で寄生発振のないショートスタブ整合回路を提供することにある。本発明の他の目的は、修正が容易で且つ寄生発振のない安定したショートスタブ整合回路を提供することにある。

【課題を解決するための手段】本発明によるショートスタブ整合回路は、信号伝送線路と接地導体との間の伝送経路に少なくとも 1 個の分布定数効果を有する抵抗素子が挿入されていることを特徴とする。抵抗素子を挿入することで安定係数 K の値を容易に 1 以上にすることができ、且つ分布定数効果を有する抵抗素子は製造工程の最後の方で形成することができるために、トリミングを行

う際の自由度が大きくなり、修正が極めて容易になる。

【0011】

【発明の実施の形態】図 1 は本発明による整合回路の第 1 実施形態を用いた MMIC の概略的平面構成図である。本実施形態は、GaAs 基板上のマイクロストリップ線路と分布定数効果を有する抵抗とを有し、中心周波数はここでは 40 GHz としている。

【0012】図 1 に示すように、RF 信号伝送線路 10 は GaAs 基板上に形成された FET 11 のゲート電極に接続されている。FET 11 は、ゲート長 $L_g = 0.18 \mu\text{m}$ 、ゲート幅 $W_g = 200 \mu\text{m}$ の AlGaAs/InGaAs 系ヘテロ接合を有し、バイアス条件はドレイン・バイアス $V_d = 4.0 \text{ V}$ 、ゲート・バイアス $V_g = -0.6 \text{ V}$ である。ここで用いた能動素子である FET は、60 GHz 付近で最大安定電力利得 (MSG) と最大有効電力利得 (MAG) が切り替わり、60 GHz 以下での安定係数 K は 1 以下 (不安定) となる特性を示す。

【0013】RF 信号伝送線路 10 は、本実施形態であるショートスタブ整合回路部 12 を介してバイアス回路部 13 に接続されている。ショートスタブ整合回路部 12 は、伝送線路 101、分布定数効果を有する抵抗 102、容量 103 及び接地電極 104 からなる。伝送線路 101 の一端は RF 信号伝送線路 10 に接続され、他端は抵抗 102 に接続されている。更に、抵抗 102 は容量 103 を介して接地電極 104 に接続され、容量 103 及びバイアス供給線 105 を通してバイアス回路部 13 に接続されている。

【0014】伝送線路 101、分布定数効果を有する抵抗 102 及び容量 103 によって中心周波数 40 GHz のショートスタブ整合回路が構成され、使用周波数帯では整合回路として動作し、使用外の低周波帯では寄生発振を防止する安定化回路として動作する。

【0015】特に、分布定数効果を有する抵抗 102 は、RF 信号伝送線路 10 や伝送線路 101 等の回路パターンを形成する配線工程に続いて形成することができる。具体的には、配線の下地となる配線スパッタを形成した後、配線スパッタ上に金配線を形成し、更に配線スパッタ上にメタル抵抗である分布定数抵抗 102 を形成する。このように、メタル抵抗であるために、例えばトリミングによる抵抗値の調整などの後処理が極めて容易になる。

【0016】更に、抵抗 102 が分布定数効果を有するためには、使用周波数の信号波長のほぼ $1/16$ 以上の長さを有することが望ましい。ここでは、伝送線路 101 の長さ $130 \mu\text{m}$ 、幅 $20 \mu\text{m}$ 、分布定数回路を有する抵抗 102 の長さ $50 \mu\text{m}$ 、幅 $20 \mu\text{m}$ 、抵抗値 50Ω 、容量 103 の値は 1 pF としている。

【0017】次に、本実施形態の整合回路が能動素子の安定性に与える影響を調べた。本実施形態によれば、伝

送線路 101、分布定数効果を有する抵抗 102、及び容量 103 のみで構成され、使用周波数で整合回路として機能すると同時に、抵抗 102 により帯域内外で寄生発振を防止する安定化回路としても機能する。これは、抵抗 102 によって電力が減衰するため、周波数によらず反射係数が一定量小さくなるためである。その結果、スミスチャート上の入出力反射係数がグラフの内側へ入り込み、外部のインピーダンスの変化に対しても反射係数が 1 より大きくなりにくくなる。なお、減衰を生じさせてはいるが、使用周波数での利得の落ち込みは 1 dB 未満であり、実用上は問題はない。

【0018】図 2 は、第 1 実施形態によるショートスタブ整合回路の安定化特性を示すグラフであり、図 3 は、分布定数効果を有する抵抗 102 を除去した比較例 (1) の安定化特性を示すグラフである。

【0019】図 2 に示すように、本実施形態では、反射係数が小さくなった結果、安定係数 K がすべての帯域において 1 を越えており、本発明によって回路安定性が飛躍的に向上したことを示している。これに対して、図 3 に示す比較例では、30 GHz 付近の領域 2 において安定係数 K が 1 より小さくなっている。

【0020】基本的構成は第一実施形態と同様であるが、抵抗の配置の仕方についてさらに工夫した構成を以下に示す。以下に示す回路においても第一実施形態と同様の効果を期待できる。また、バイアス回路がショートスタブ回路の先についていない増幅回路や、容量を介さずに直接接地されているショートスタブ回路を用いた増幅回路でも同じ効果を確認している。

【0021】図 4 は、本発明による整合回路の第 2 実施形態を用いた MMIC の概略的平面構成図である。本実施形態も、第 1 実施形態と同様に、GaAs 基板上のマイクロストリップ線路と分布定数効果を有する抵抗とを有し、中心周波数はここでは 76 GHz としている。なお、図 1 に示す第 1 実施形態と同一構成要素には同一の参照符号を付して説明は省略する。

【0022】図 4 に示すように、第 2 実施形態のショートスタブ整合回路部 20 によって RF 信号伝送線路 10 とバイアス回路部 13 とが接続されている。ショートスタブ整合回路部 20 は、分布定数効果を有する抵抗 201、1/4 波長伝送線路 202、容量 203 及び接地電極 204 からなる。1/4 波長伝送線路 202 の一端は抵抗 201 を介して RF 信号伝送線路 10 に接続され、他端は容量 203 を介して接地電極 204 に接続されている。更に、容量 103 はバイアス供給線 205 を通じてバイアス回路部 13 に接続されている。

【0023】分布定数効果を有する抵抗 201、1/4 波長伝送線路 202 及び容量 203 によって中心周波数 76 GHz のショートスタブ整合回路が構成され、使用周波数帯では整合回路として動作し、使用外の低周波帯では寄生発振を防止する安定化回路として動作する。特

に、分布定数効果を有する抵抗 201 は、第 1 実施形態と同様に、RF 信号伝送線路 10 や 1/4 波長伝送線路 202 と同様の配線工程において形成することができる。更に、抵抗 201 が分布定数効果を有するためには、使用周波数の信号波長のほぼ 1/16 以上の長さを有することが望ましい。

【0024】図 5 は、第 2 実施形態によるショートスタブ整合回路の安定化特性を示すグラフであり、図 6 は、分布定数効果を有する抵抗 201 を除去した比較例 (2) の安定化特性を示すグラフである。

【0025】図 5 に示すように、本実施形態では、全帯域で安定係数 K が 1 を越えており、本発明によって回路安定性が飛躍的に向上したことを示している。これに対して、図 6 に示す比較例 (2) では、30~75 GHz の広い帯域で安定係数 K が 1 より小さくなっている。

【0026】図 7 は、本発明による整合回路の第 3 実施形態を用いた MMIC の概略的平面構成図である。本実施形態も、第 1 実施形態と同様に、GaAs 基板上のマイクロストリップ線路と分布定数効果を有する抵抗とを有し、中心周波数はここでは 76 GHz としている。なお、図 1 に示す第 1 実施形態と同一構成要素には同一の参照符号を付して説明は省略する。

【0027】図 7 に示すように、第 2 実施形態のショートスタブ整合回路部 30 によって RF 信号伝送線路 10 とバイアス回路部 13 とが接続されている。ショートスタブ整合回路部 30 は、伝送線路 301、分布定数効果を有する抵抗 302、伝送線路 303 及び接地電極 304 からなる。伝送線路 301 の一端は RF 信号伝送線路 10 に接続され、他端は抵抗 302 及び伝送線路 303 を介して接地電極 304 に接続されている。本実施例では、容量を介さずに抵抗 302 は接地されている。

【0028】伝送線路 301、分布定数効果を有する抵抗 302、伝送線路 303 によって中心周波数 76 GHz のショートスタブ整合回路が構成され、使用周波数帯では整合回路として動作し、使用外の低周波帯では寄生発振を防止する安定化回路として動作する。特に、分布定数効果を有する抵抗 302 は、第 1 実施形態と同様に、RF 信号伝送線路 10 や伝送線路 301 及び 303 と同様の配線工程において形成することができる。更に、抵抗 302 が分布定数効果を有するためには、信号波長のほぼ 1/16 以上の長さを有することが望ましい。

【0029】図 8 は、第 3 実施形態によるショートスタブ整合回路の安定化特性を示すグラフである。図 8 に示すように、本実施形態では、全帯域で安定係数 K が 1 を越えており、回路安定性が飛躍的に向上していることを示している。

【0030】図 9 は、本発明による整合回路の第 4 実施形態を用いた MMIC の概略的平面構成図である。本実施形態も、第 1 実施形態と同様に、GaAs 基板上のマ

マイクロストリップ線路と分布定数効果を有する抵抗とを有し、中心周波数はここでは 7.6 GHz としている。なお、図 1 に示す第 1 実施形態と同一構成要素には同一の参照符号を付して説明は省略する。

【0031】図 9 に示すように、第 4 実施形態のショートスタブ整合回路部 40 によって RF 信号伝送線路 10 とバイアス回路部 13 とが接続されている。ショートスタブ整合回路部 40 は、分布定数効果を有する抵抗 401、 $1/4$ 波長伝送線路 402、分布定数効果を有する抵抗 403、容量 404 及び接地電極 405 からなる。 $1/4$ 波長伝送線路 402 の一端は抵抗 401 を介して RF 信号伝送線路 10 に接続され、他端は抵抗 403 を介して容量 404 に接続されている。更に、容量 404 は接地電極 405 に接続され、バイアス供給線 406 を介してバイアス回路 13 に接続されている。

【0032】分布定数効果を有する抵抗 401、 $1/4$ 波長伝送線路 402、分布定数効果を有する抵抗 403 及び容量 404 によって中心周波数 7.6 GHz のショートスタブ整合回路が構成され、使用周波数帯では整合回路として動作し、使用外の低周波帯では寄生発振を防止する安定化回路として動作する。特に、分布定数効果を有する抵抗 401 及び 402 は、第 1 実施形態と同様に、RF 信号伝送線路 10 や $1/4$ 波長伝送線路 402 と同様の回路パターンの配線工程において形成することができる。更に、抵抗 401 及び 403 が分布定数効果を有するためには、信号波長のほぼ $1/16$ 以上の長さを有することが望ましい。

【0033】図 10 は、第 4 実施形態によるショートスタブ整合回路の安定化特性を示すグラフである。図 10 に示すように、本実施形態では、全帯域で安定係数 K が 1 を越えており、回路安定性が飛躍的に向上していることを示している。

【0034】図 11 は、本発明による整合回路の第 5 実施形態を用いた MMIC の概略的平面構成図である。本実施形態も、第 1 実施形態と同様に、GaAs 基板上のマイクロストリップ線路と分布定数効果を有する抵抗とを有し、中心周波数はここでは 7.6 GHz としている。なお、図 1 に示す第 1 実施形態と同一構成要素には同一の参照符号を付して説明は省略する。

【0035】図 11 に示すように、第 5 実施形態のショートスタブ整合回路部 50 によって RF 信号伝送線路 10 とバイアス回路部 13 とが接続されている。ショートスタブ整合回路部 50 は、分布定数効果を有する長さ $1/4$ 波長程度の抵抗 501、容量 502 及び接地電極 405 からなる。 $1/4$ 波長抵抗 501 の一端は RF 信号伝送線路 10 に接続され、他端は容量 502 を介して接地電極 503 に接続されている。また容量 502 はバイアス供給線 504 を介してバイアス回路 13 に接続されている。

【0036】分布定数効果を有する $1/4$ 波長抵抗 50

1 及び容量 502 によって中心周波数 7.6 GHz のショートスタブ整合回路が構成され、使用周波数帯では整合回路として動作し、使用外の低周波帯では寄生発振を防止する安定化回路として動作する。特に、分布定数効果を有する $1/4$ 波長抵抗 501 は、第 1 実施形態と同様に、RF 信号伝送線路 10 と同様の回路パターンの配線工程において形成することができ、トリミングを行う際の自由度が大きくなる。

【0037】図 12 は、第 5 実施形態によるショートスタブ整合回路の安定化特性を示すグラフである。図 12 に示すように、本実施形態では、全帯域で安定係数 K が 1 を越えており、回路安定性が飛躍的に向上していることを示している。

【0038】なお、図示していないが、図 11 における容量 502 を除去して、 $1/4$ 波長抵抗 501 を直接接地電極 503 に接続した整合回路であっても、同様に全帯域で $K > 1$ を満たすことが確認されている。

【0039】図 13 (A) は比較例 (1) の低周波部分での反射係数を示したスミスチャートであり、図 13 (B) は第 1 実施形態の低周波部分での反射係数を示したスミスチャートである。同図において、□で示された曲線は、入力側から見た反射係数 (S_{11}) であり、○で示された曲線は出力側から見た反射係数 (S_{22}) である。

【0040】図 13 (B) に示す第 1 実施形態の反射係数は、図 13 (A) に示す比較例 (1) のものに比べてスミスチャートの内側に入っており、反射係数が小さくなっていることがわかる。このことは、外部のインピーダンスが変化したときにも反射係数が 1 より大きくなっていくことを示している。

【0041】

【発明の効果】以上説明したように、本発明によれば、RF 信号伝送線路を接地する経路に分布定数効果を有する抵抗を挿入することで、使用周波数帯域内外で安定係数 $K > 1$ を実現することができ、安定した MMIC を容易に達成することができる。更に、分布定数効果を有する抵抗を用いることで、製造工程の最後の方で形成するために、トリミングを行う際の自由度が大きくなり、修正が極めて容易になる。

【図面の簡単な説明】

【図 1】本発明による整合回路の第 1 実施形態を用いた MMIC の概略的平面構成図である。

【図 2】第 1 実施形態によるショートスタブ整合回路の安定化特性を示すグラフである。

【図 3】分布定数効果を有する抵抗 102 を除去した比較例 (1) の安定化特性を示すグラフである。

【図 4】本発明による整合回路の第 2 実施形態を用いた MMIC の概略的平面構成図である。

【図 5】第 2 実施形態によるショートスタブ整合回路の安定化特性を示すグラフである。

【図6】分布定数効果を有する抵抗201を除去した比較例(2)の安定化特性を示すグラフである。

【図7】本発明による整合回路の第3実施形態を用いたMMICの概略的平面構成図である。

【図8】第3実施形態によるショートスタブ整合回路の安定化特性を示すグラフである。

【図9】本発明による整合回路の第4実施形態を用いたMMICの概略的平面構成図である。

【図10】第4実施形態によるショートスタブ整合回路の安定化特性を示すグラフである。

【図11】本発明による整合回路の第5実施形態を用いたMMICの概略的平面構成図である。

【図12】第5実施形態によるショートスタブ整合回路の安定化特性を示すグラフである。

【図13】(A)は比較例(1)の低周波部分での反射係数を示したスミスチャートであり、(B)は第1実施形態の低周波部分での反射係数を示したスミスチャートである。

【図14】従来のショートスタブ整合回路の安定化特性を示すグラフである。

【符号の説明】

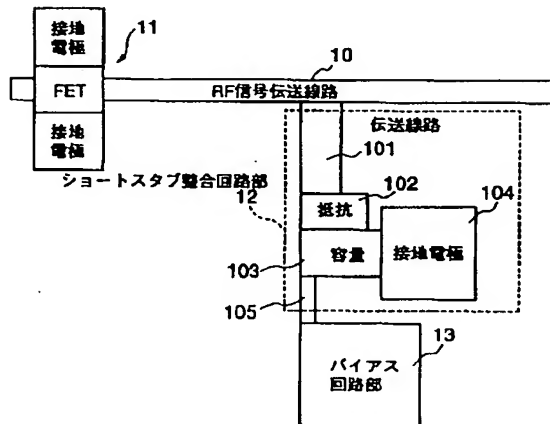
10 RF信号伝送線路

11 FET

12 ショートスタブ整合回路部

13 バイアス回路部

【図1】



101 伝送線路

102 分布定数効果を有する抵抗

103 容量

104 接地電極

105 バイアス供給線

201 分布定数効果を有する抵抗

202 1/4波長伝送線路

203 容量

204 接地電極

205 バイアス供給線

301 伝送線路

302 分布定数効果を有する抵抗

303 伝送線路

304 接地電極

401 分布定数効果を有する抵抗

402 1/4波長伝送線路

403 分布定数効果を有する抵抗

404 容量

405 接地電極

406 バイアス供給線

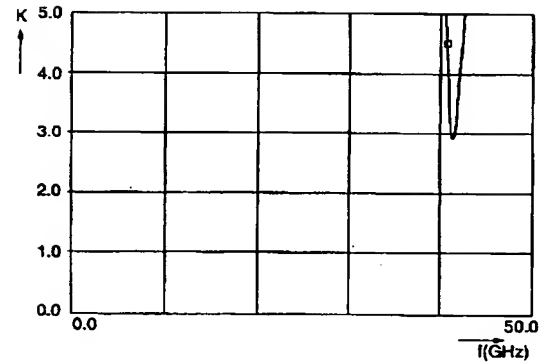
501 分布定数効果を有する1/4波長抵抗

502 容量

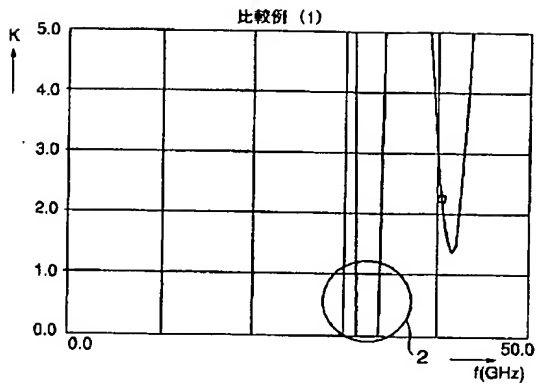
503 接地電極

504 バイアス供給線

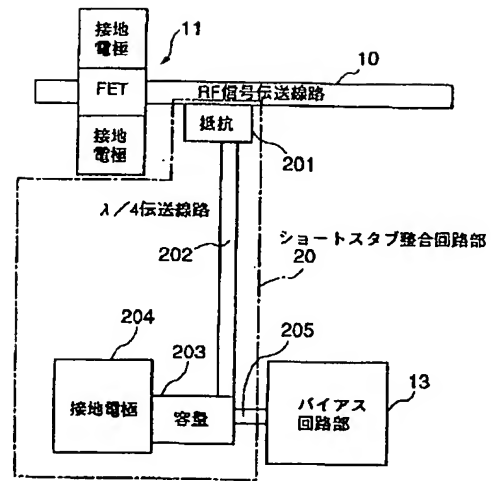
【図2】



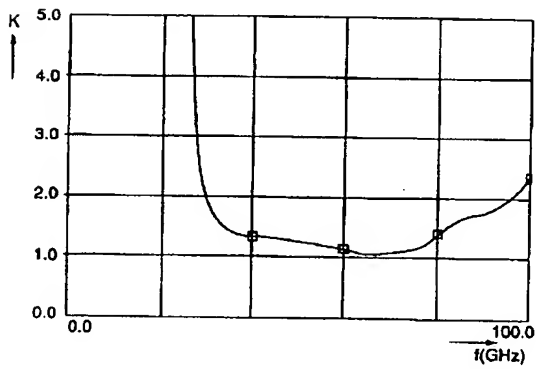
【図 3】



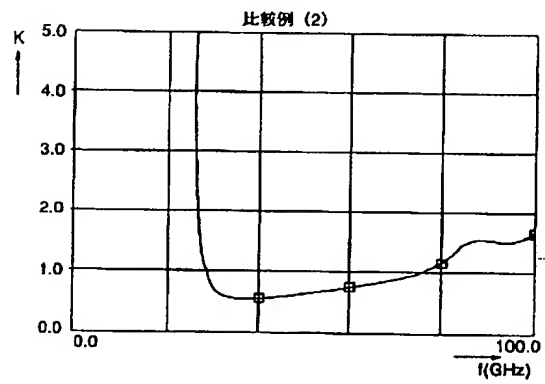
【図 4】



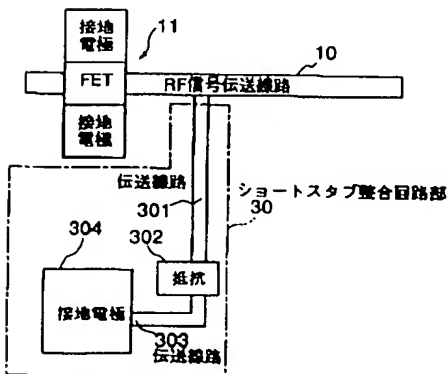
【図 5】



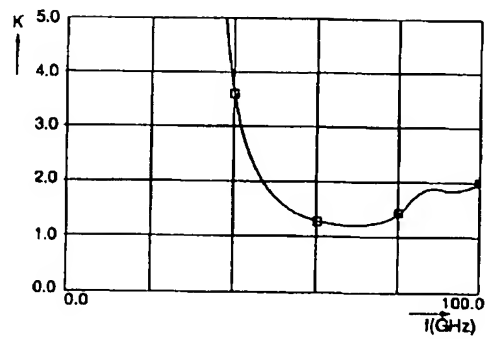
【図 6】



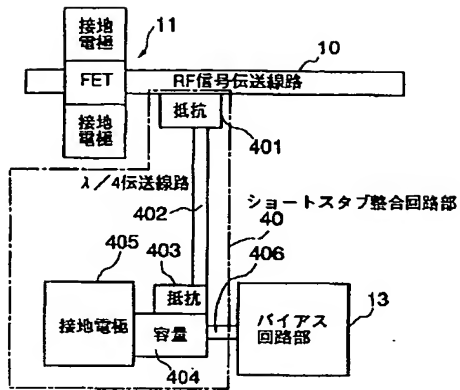
【図 7】



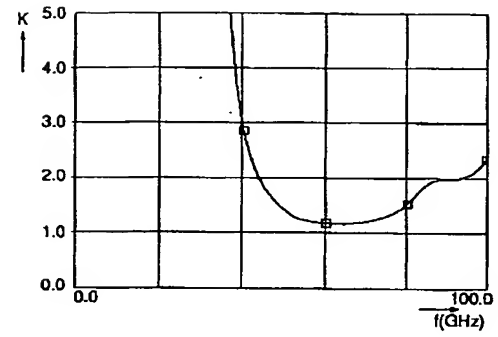
【図 8】



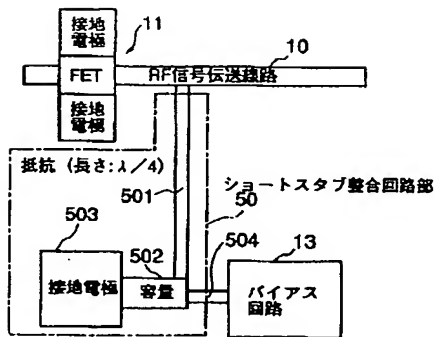
【図9】



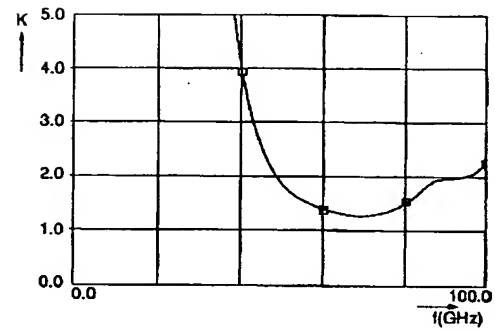
【図10】



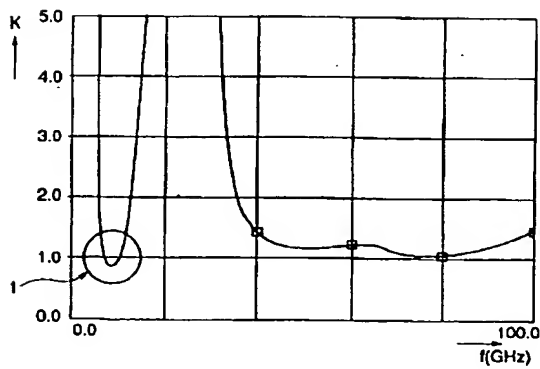
【図11】



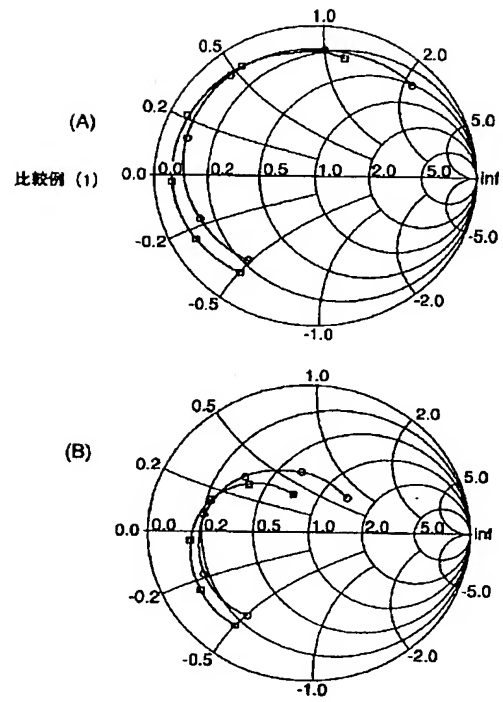
【図12】



【図14】



【図 13】



THIS PAGE BLANK (USPTO)